

# 试飞中多功能显示器闪屏问题分析与解决方案

朱慧丽<sup>1</sup>, 王康<sup>1</sup>, 王清<sup>2</sup>

(1. 中国航空无线电电子研究所, 上海 200233;

2. 恒宇信通航空装备(北京)股份有限公司, 西安 710065)

[摘要] 在某型飞机试飞过程中, 多台多功能显示器分别出现了多次闪屏现象。本文介绍了针对“闪屏”现象, 开展的故障定位、机理分析、采取的措施及验证情况。

[关键词] 闪屏; 行场信号; 数字地; 毛刺; 干扰

[中图分类号] V267

[文献标识码] A

[文章编号] 1006-141X(2021)03-0068-5

## The Analysis and Solutions of the MFD Scintillation in the Flight Test

ZHU Hui-li<sup>1</sup>, WANG Kang<sup>1</sup>, WANG Qing<sup>2</sup>

(1. China National Aeronautical Radio Electronics Research Institute, Shanghai 200241, China;

2. Beijing Hengyu Datacom Aviation Equipment co., LTD, Xi'an 710065, China)

**Abstract:** In the flight test of a certain aircraft, the phenomenon of scintillation is found in its four MFDs. Fault location, mechanism analysis, solutions and verification methods are presented to address the problem of scintillation.

**Key words:** scintillation; field signals; digital ground; burr; interference

多功能显示器是常见的机载设备, 安装于座舱仪表盘, 为飞行员提供各种显示信息, 并提供人机交互平台。闪屏是多功能显示器常见的故障模式, 本文以某型直升机多功能显示器在试飞中出现的闪屏现象为例, 阐述了故障定位、机理分析的过程及措施验证情况, 可为后续产品排故提供参考。图1为闪屏示意图, 画面瞬时出现了偏移和抖动。

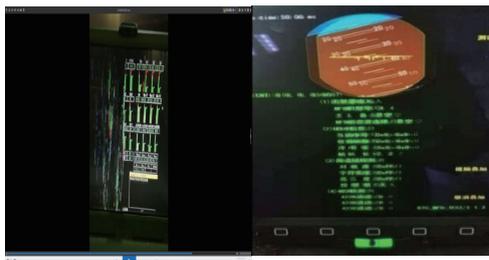


图1 闪屏现象示意图

## 1 故障定位

### 1.1 LRU级故障定位

综合显示系统 (IDS: Integrated display system) 由2台综合显示处理机 (IDP: Integrated Display Processor)、4台多功能显示器 (MFD: Multi Function Display)、1台综合控制单元 (ICU: Integrated Control Unit) 和1台数据加载及视频记录设备 (DLVR: Data Loading and Video Recording Equipment) 组成。

针对故障现象, 对可能导致该故障的因素进行了梳理, 故障定位过程如图2所示。

根据综合显示系统的工作原理分析, 多功能显示器闪屏, 可能的原因有:

收稿日期: 2020-03-03

引用格式: 朱慧丽, 王康, 王清. 试飞中多功能显示器闪屏问题分析与解决方案 [J]. 航空电子技术, 2021, 52(3): 68-72.

- (1) IDP 视频输出异常;
- (2) HDLC 数据通讯异常;
- (3) 多功能显示器自身故障。

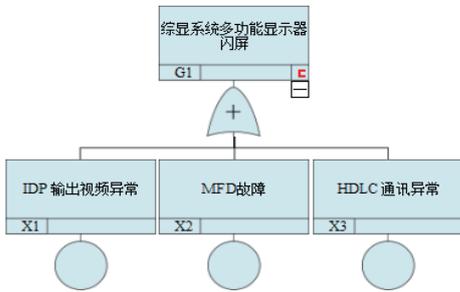


图 2 LRU 级故障树

若 IDP 输出至多功能显示器视频异常, 将导致显示器叠加的视频画面闪烁或蓝屏, 但不影响前景画面, 与机上前景画面闪烁现象不符, 因此排除 IDP 视频输出异常导致闪屏现象。

IDP 和多功能显示器之间通过 HDLC 传输显示画面控制调度指令和画面相关数据, 若 HDLC 通讯异常, 会导致多功能显示器页面卡滞无响应, 与机上闪屏现象不符, 因此排除 HDLC 通讯异常导致闪屏现象。

前景视频是由多功能显示器收到 IDP 发出的作图指令后自身生成的, 与其他产品无关, 并同时送往 DLVR 记录。由于通过 DLVR 存储卡视频回放也发现了闪屏现象, 因此可以判定闪屏问题是由多功能显示器自身视频输出异常导致的。

### 1.2 SRU 级故障定位

#### 1.2.1 MFD 组成及原理

MFD 由图形显示控制模块、显示总线模块、导光板、液晶显示模块、电源模块组成, 各模块之间通过自底板总线相连。MFD 组成及交联框图如图 3 所示。

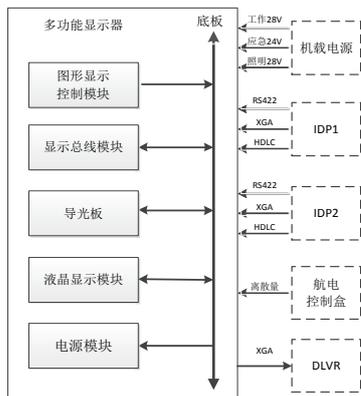


图 3 MFD 组成及交联框图

MFD 通过 HDLC 总线接收综合显示处理机发送的显示画面控制调度指令和画面数据, 产生相应的显示画面; 接收综合显示处理机提供的视频图像信号, 在显示画面中叠加显示; 向 DLVR 提供当前显示画面的视频信号输出, 供 DLVR 进行记录。

图形显示控制模块是 MFD 的主控模块, 作为 CPCI 总线的主控设备, 为其他模块提供系统时钟、复位信号, 并驻留系统软件, 负责系统任务进程与调度管理、生成图形画面、实现视频叠加功能。

显示总线模块是 MFD 的通讯模块, 通过 HDLC 总线实现与处理机的通讯, 完成操作指令和数据的传输, 集成了 RS 422 通讯功能, 实现操作指令的传输。显示总线模块通过 CPCI 总线与图形显示控制模块进行数据传输。

液晶显示模块接收图形显示控制模块输出的 LVDS 视频信号并显示相应画面; 采集导光板的按键、亮度、对比度、字符亮度等信号, 实现背光亮度控制, 采集温度信息, 实现低温加热, 通过 RS 422 接口实现与图形显示模块的通讯。

导光板提供了开关、按键、调节旋钮等人机接口, 安装有环境光亮度传感器, 自动感知环境亮度, 具有照明功能。

电源模块提供 MFD 各模块所需的工作电源。

#### 1.2.2 MFD 模块定位

根据 MFD 闪屏故障现象及产品组成工作原理建立 MFD 闪屏故障树, 如图 4 所示<sup>[1]</sup>。

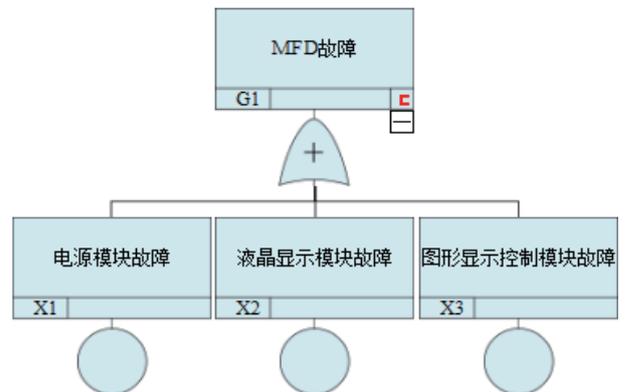


图 4 MFD 闪屏故障树

按照故障树的故障模式进行分析测试, 详细定位过程如下:

#### (1) 电源模块

该模块沿用已鉴定产品。显示器正常工作时对电源板输出的二次电源到各个板卡前端, 通过示波

器检测观察,未发现异常。因此可排除电源模块故障。

(2) 液晶显示模块

该模块沿用已鉴定产品。根据MFD工作原理,若仅液晶显示模块故障,DLVR记录的视频应无闪烁。根据故障发生时的情况,即MFD的实时显示画面和DLVR的记录画面都存在“闪屏”现象。由此可排除液晶显示模块故障。

(3) 图形显示控制模块

该模块为新研模块。由于MFD的实时显示画面和DLVR中记录的视频都是由MFD图形显示控制模块生成的,两者都出现“闪屏”现象极有可能是图形显示控制模块故障引起的。经测量,此模块输出的LVDS和XGA信号存在异常,即可判定MFD“闪屏”的原因是由此模块故障引起。

1.2.3 故障点定位

当图形显示控制模块输出的LVDS和XGA信号输出同时存在故障时,那么根据MFD显示控制原理可以判断,二者的公共输入点存在故障,即从FPGA中输出的图像已经存在闪屏问题。

根据显示控制原理和分析情况建立故障树,如图5所示。

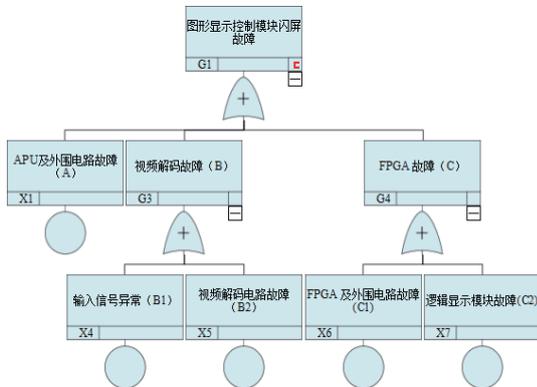


图5 图形显示控制模块闪屏故障树

设计人员对图形显示控制模块的APU、FPGA、视频解码电路原理设计、PCB布局、布线及外围电路器件参数等进行了排查,未发现设计问题;对电路中的视频信号进行了测试,未发现异常。可以排除故障树中的底事件A, B2, C1。

对图形显示控制模块的FPGA逻辑显示功能的代码进行排查,发现输出场产生偶发毛刺,进一步分析认为行场产生部分使用了复杂的组合逻辑电路,复杂组合逻辑电路由于线路传输暂时差异会产生毛刺信号,导致行场时序异常,造成图像瞬间整体偏移,

观测者看到的现象为闪屏。

视频解码芯片(ADV7403)输出像素时钟的频率是由输入的行同步信号和工作时钟ADV7403(28.63 MHz晶振)计算得出,当输入的行同步信号电平超限时,ADV7403内部锁相环电路会检测到行同步信号频率异常,导致重新进行频率锁定,在此期间,输出像素时钟频率会发生变化。

根据以上的测试、排查、分析工作,确认闪屏现象定位到MFD图形显示控制模块的FPGA逻辑显示模块故障和视频解码输入信号异常故障。

2 机理分析

2.1 FPGA逻辑显示模块故障

FPGA的逻辑显示功能由3个模块组成,时钟管理模块为其他两个工作模块提供工作时钟,行场时序生成模块由输入行场信号计算出行场,并提供送显控制信号,图像送显、叠加模块对图像数据进行处理后根据控制信号送显,逻辑框图如图6所示。

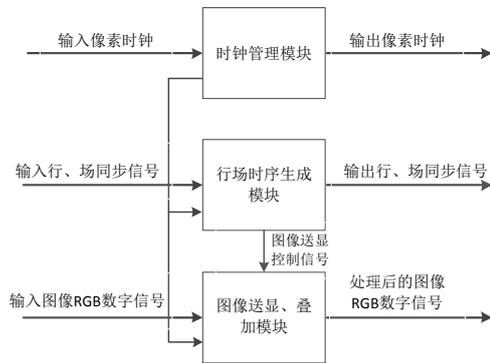


图6 显示逻辑组成框图

由显示逻辑组成框图得出,图像时序异常故障树如图7所示。

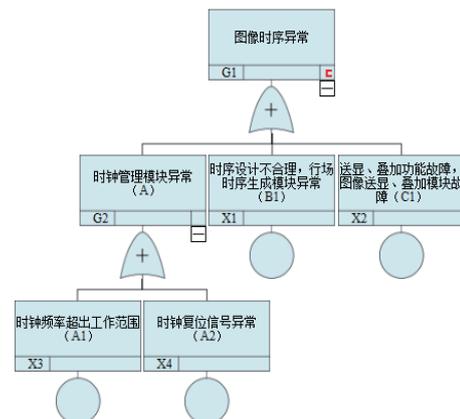


图7 图像时序异常故障树

选用的 FPGA 工作频率范围为 65 Mhz, 小于等于 300 Mhz, 在 FPGA 允许工作范围之内, 所以排除故障 A1。对逻辑时钟管理单元的复位信号检查, 复位信号由外部输入信号控制, 输入信号电路设计合理, 不会产生异常复位信号, 所以排除故障 A2。

对逻辑代码进行检查, 发现行场时序生成模块中行场产生部分使用了复杂的组合逻辑电路, 代码如下:

```
wire hsync_xga = (hcnt >= 12'd0 + HSYD
&&hcnt < 12'd136 + HSYD)? 0 : 1;
```

```
wire vsync_xga = (vcnt >= 12'd0 + VSYD
&&vcnt < 12'd6 + VSYD)? 0 : 1;
```

组合电路时序不受同步时钟控制, 在任意时刻的输出结果取决于该时刻的输入, 信号在组合逻辑电路内部通过时都有一定的延时, 当建立时间 T 越大亚稳态信号被采集到的概率就越大, 亚稳态信号为随机值, 当亚稳态信号被识别后, 根据后续电路判断条件, 容易产生“毛刺”信号<sup>[2]</sup>。毛刺信号可导致行场时序异常, 造成图像瞬间整体偏移, 观测者看到的现象为“闪屏”。故障时序图如图 8 所示。

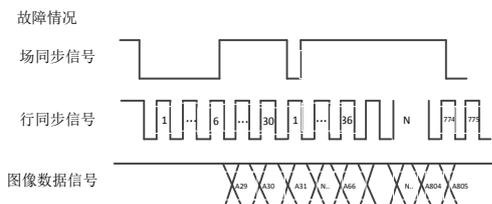


图 8 故障时序图

### 2.2 视频解码输入信号异常故障

当外部的干扰耦合到 MFD 输出的 XGA 线上后, 会进入 MFD 内部, 在 MFD 的内部会耦合到数字地上, 再从数字地上耦合到视频解码 ADV7403 的输入的行场同步信号上。会使视频解码的输入行同步信号、场同步信号电平超限, 致使视频解码芯片输出的时钟频率瞬间改变, 引发屏闪的现象<sup>[3]</sup>。

ADV7403 内部锁相环电路检测到频率异常会从高到底重新进行频率锁定。MFD 在设计时规定从右上角开始扫描, 像素时钟 65 Mhz, 正常情况下 T2-T1 等于 T3-T2 等于 20.7μs (vesa 标准, 行信号频率 48.4 Khz), 当像素时钟频率发生变化时, 有以下四种情况:

- (1) 像素时钟频率工作在小于 65 Mhz 区间, 眼睛观察到现象为花屏;
- (2) 像素时钟频率工作在大于 65 Mhz 区间, 眼睛观察到现象为花屏;

(3) 像素时钟频率工作小于 32.5 Mhz 区间, 眼睛观察到现象为图像左移;

(4) 像素时钟频率工作: 大于 130 Mhz 区间, 眼睛观察到现象为图像右移。

### 3 问题复现

在实验室通过长时间检测, 采用逻辑分析仪 chipscope 对 FPGA 内部行场信号进行抓取, 当场信号出现一个毛刺信号时, 图像出现“闪屏”现象。

在试验室对 MFD 的视频解码输入的行信号进行干扰注入, 当干扰幅度峰值 1.16V 时, 发现输出的像素时钟信号频率发生瞬间的变化, 图像出现“闪屏”现象。

通过以上分析与问题复现, 可认为 MFD 在机上的闪屏现象主要由两个原因造成: (1)逻辑代码中, 行场同步信号生成电路设计时使用了大规模组合电路, 造成行场时序异常, 导致图像偏移的闪屏; (2)机上环境, MFD 数字地受到了较大干扰, 使视频解码的输入信号超限, 致使视频解码芯片输出时钟的频率瞬间改变, 导致的“闪屏”。

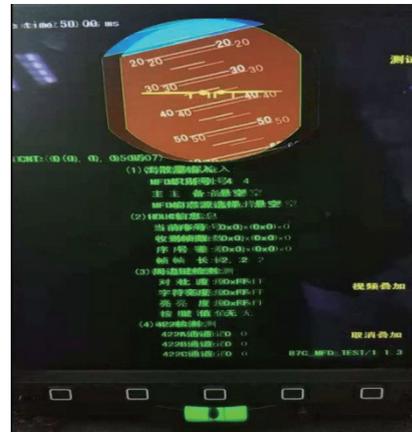


图 9 故障复现图

### 4 措施及验证情况

#### 4.1 FPGA 逻辑显示模块故障

解决逻辑产生毛刺的方法, 首先是解决毛刺信号的产生源头(即把组合逻辑改为时序逻辑电路), 其次是对行场信号进行滤波处理。

- (1) 组合逻辑电路更改为时序电路

将行场生成模块的组合逻辑改为同步时序逻辑, 使用统一的工作时钟, 统一了时延, 经过仿真和试验验证, 消除了毛刺信号产生。

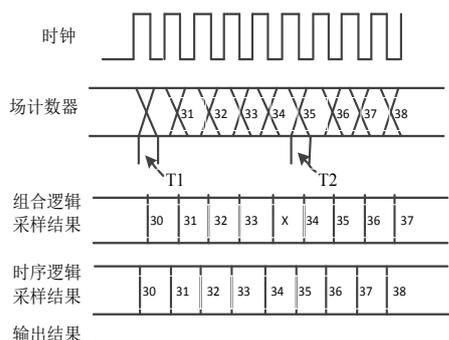


图 10 逻辑电路更改图

更改后的时序逻辑如下:

```

always @(posedgeclk_sys or negedge rst_n)
begin
    if(!rst_n)
        hsync_xga <= 1'b1;
    else if(hcnt >= 12'd0 + HSYD && hcnt < 12'd136
+ HSYD)
        hsync_xga <= 1'b0;
    else
        hsync_xga <= 1'b1;
end
always @(posedgeclk_sys or negedge rst_n)
begin
    if(!rst_n)
        vsync_xga <= 1'b1;
    else if(vcnt >= 12'd0 + VSYD && vcnt < 12'd6 +
VSYD)
        vsync_xga <= 1'b0;
    else
        vsync_xga <= 1'b1;
end

```

## (2) 增加滤波功能

在逻辑代码中增加对行、场同步信号的滤波功能, 消除毛刺信号误触发行场送显机制, 防止偶发出现的显示异常。

对行同步信号: 行信号周期为  $20.7 \mu\text{s}$  ( $48.636 \text{ KHz}$ ), 有效信号时间约为  $2092 \text{ ns}$  ( $478 \text{ KHz}$ ), 为了保证信号完整性及参考以往工程经验, 采用  $65 \text{ Mhz}$  像素时钟对行同步信号进行连续 16 次采样, 当连续 16 次采样到 0 时, 认为行同步信号为 0; 当连续 16 次采样到 1 时, 认为行同步信号为 1; 通过滤波可以消除行同步信号中受到干扰产生的大约 230

ns 以内脉冲宽度的异常信号。

对场同步信号: 场信号周期约为  $16.7 \text{ ms}$  ( $60 \text{ Hz}$ ), 有效信号时间约为  $124.2 \mu\text{s}$  ( $8.05 \text{ KHz}$ ), 采用  $65 \text{ Mhz}$  像素时钟对场同步信号每次经过  $7.8 \mu\text{s}$  进行采样, 当连续 6 次采样到 0 时, 认为场同步信号为 0; 当连续 6 次采样到 1 时, 认为场同步信号为 1; 对通过滤波可以消除场同步信号中受到干扰产生的大约  $45 \mu\text{s}$  以内脉冲宽度的异常信号。

通过行、场同步信号滤波处理, 在毛刺信号产生时, 保证了图像的正常显示。

## 4.2 视频解码输入信号异常

通过机上的测试发现, MFD 到 DLVR 的数字地无连接, 增加 MFD 至 DLVR 地线, 使信号回路尽可能减小, 从而增加 MFD 抗干扰能力, 抑制视频解码输入行信号的干扰, 该地线连接上后闪屏现象未再复现。

## 4.3 验证情况

机上的 4 台 MFD 在更新逻辑、增加 MFD 至 DLVR 地线后, 经 98 小时 6 分钟的试飞验证, 未出现闪屏故障。

## 5 结论

针对闪屏原因, 分别采取了两个设计改进措施:

(1) 将 FPGA 组合逻辑改为时序逻辑电路, 对行场信号进行了滤波处理; (2) 增加 MFD 至 DLVR 地线。采取措施后, 经充分试飞验证, 未再出现“闪屏”故障。以上故障原因定位准确, 机理清楚, 采取的措施有效可行, 可避免后续同类产品发生“闪屏”故障。

## 参考文献

- [1] 曾声奎. 可靠性设计与分析 [M]. 北京: 国防工业出版社, 2015.
- [2] 张士军, 杨桦. 数字电路与逻辑设计 (第三版) [M]. 北京: 清华大学出版社, 2014.
- [3] J.M. 亚伯. 数字逻辑应用与设计 [M]. 北京: 机械工业出版社, 2017.
- [4] 国防科学技术工业委员会. 接地、搭接和屏蔽设计的实施: GJB 1210 [S]. 国防科学技术工业委员会, 1991.
- [5] 阎石. 数字电子技术基础 (第三版) [M]. 北京: 高等教育出版社, 2011.