

一种高可靠的星载多核 DSP 加载方式及实现

璩泽旭,王 鹏,孙钰林

(中国空间技术研究院西安分院,西安 710000)

摘 要:为了应对遥感卫星复杂的智能处理应用需求,单核的数字信号处理器已无法满足实时性要求,而多核 DSP 处理性能更高,可以满足卫星应用需求。提出了一种多核 DSP 加载的高可靠方法,利用 FPGA 对存放的 Nor Flash 中程序进行纠错回写,应对空间单粒子翻转影响,可以保障卫星可靠运行,方法新颖、可靠。TMS320C6678 是基于 KeyStone 结构的高性能多核浮点 DSP,详细介绍了 TMS320C6678 的加载模式和流程,并提出基于 EMIF16 的 Nor Flash 高可靠异构加载方式,以及程序 Bootloader。经测试验证,TMS320C6678 能够稳定可靠运行。该方法支持在轨可重构,适应目前快速发展的星上智能处理发展趋势。

关键词:多核 DSP;6678;EMIF16;Bootloader

中图分类号:V443

文献标志码:A

文章编号:1674-7135(2022)02-0083-05

A highly reliable loading method and implementation of spaceborne multi-core DSP

QU Zexu, WANG Peng, SUN Yulin

(China Academy of Space Technology(Xi'an), Xi'an 710000, China)

Abstract:In order to respond to the complex intelligent processing application requirements of remote sensing satellites. Single-core DSP can no longer meet real-time requirements. TMS320C6678 is a high-performance multi-core floating-point DSP based on the KeyStone structure, with a main frequency of 1.25 GHz, which meets the needs of satellite application. Regarding the satellite use environment, whether it is FPGA or DSP, configuration loading is very important, and it is about success or failure. This article introduces the loading mode and process of TMS320C6678 in detail, and proposes a high-reliability heterogeneous loading method of Nor Flash based on EMIF16, and a program Bootloader. The test verifies that the TMS320C6678 can operate stably and reliably under the design method of this article.

Key words:multi-core DSP; 6678; EMIF16; Bootloader

0 引言

在航空、航天、武器等领域,越来越复杂的图像处理需要并行化的处理系统,以满足实时性要求。要实现复杂功能的系统,高性能的 FPGA + DSP 架构是目前常用的方案。由于单核的 DSP 性能已发展至极限,无法适应复杂的并行算法,多核 DSP 应运而生,成为当前数字信号处理的发展方向。

TMS320C6678 是基于 KeyStone 架构,采用 8 个

DSP 内核构建而成,集成了 320 GMAC 定点计算或 160 GFLOPS 浮点计算性能,每个内核工作频率达到 1.25 GHz,支持高性能信号处理应用^[1]。为了满足不同应用场合的需求,实现最大的设计灵活性。TMS320C6678 支持的 BOOT 模式有 SPI、I2C、PCIe、EMAC、SRIO 和并口 EMIF16 Nor Flash^[2]。邓豹^[3]和刘章文等^[4]提出针对 C6678 利用 EMIF16(external memory interface,外部存储器接口)的 Nor Flash 加载实现方法,但不能直接在轨应用,存在单粒子翻

转可能。薛志远等^[5]针对 C6678 多核的特点,提出了一种基于多核 Bootloader 的设计方法,侧重于多核程序生成和 Bootloader 自启动。而本文针对多核 DSP 的卫星应用环境,从系统的角度出发,解决空间单粒子翻转问题,实现多核 DSP 在轨高可靠加载。

本文详细研究 TMS320C6678 的加载模式和流程,并提出基于 EMIF16 的 Nor Flash 高可靠异构加载方式,实现程序 Bootloader 上电启动和任意时刻重启动。经测试验证,TMS320C6678 能够稳定可靠运行。该方法支持在轨可重构,加载不同的 DSP 软件处理不同功能,实现软件定义卫星。

1 C6678 加载方式

BOOT 过程就是 DSP 的自动加载启动过程,在上电或复位后,根据设定的不同的加载模式,将可执行代码自动加载到内存中,并正确运行程序的过程^[6]。可执行代码可以存放在外部的非易失存储器中(如 I2C PROM、SPI FLASH 等),也可以存放在外部设备中,由通用接口(如 SRIO、PCIe、HyperLink 等)加载。DSP 通过内部集成的自动加载器(rom boot loader, RBL)来实现 BOOT 过程,默认 RBL 只执行核 0(主核)^[7]。

RBL 就是固化在 DSP 内部 ROM 中的软件程序代码,DSP 在上电或复位后,由 RBL 负责自动加载/接收(外部或存储器)传送的应用程序代码,并跳转到入口地址运行程序。在 C6678 中,RBL 存放在 0x02B00000 ~ 0x02B1FFFF 的 128 KB 空间内^[8]。

C6678 启动有两种方式:主机启动、存储器启动。主机启动也叫从模式,通过其他处理器向 DSP 写入代码,完成加载。包括网口、RapidIO、PCIe 等^[9]。存储器启动也叫主模式,DSP 主动从外部存储器中存放的代码搬到其内部高速存储器并且运行。一般通过外挂在 EMIF16 或 I2C 总线接口的 FLASH 完成。由于 C6678 的配置程序较大,带 I2C 接口的 FLASH 容量较小,不满足大工程应用。因此本文采用的存储器启动使用 EMIF16 接口方式加载^[10]。

DSP 的加载启动模式通过外部的 13 个引脚 BOOTMODE[12:0]/GPIO[13:1]复位时的硬件状态来选择^[11]。BOOTMODE 配置引脚中,BOOTMODE[2:0]用于选择启动模式,BOOTMODE[12:3]是根据设定的启动模式,初始化相应的配置参数和寄存器^[12]。BOOTMODE 引脚对应不同的加载方式,启动加载器的模式配置如表 1 所列。

表 1 C6678 BOOTMODE 引脚对应的加载方式

Tab. 1 C6678 BOOTMODE pins corresponding loading mode

BOOTMODE[2:0]引脚	定义	模式	备注
000	EMIF16 启动	主模式	加载程序存放外部 16 bit 位宽的 Flash 中,为异步加载
001	RapidIO 启动	从模式	FPGA 通过 SRIO 接口加载程序,这种方式有两种,一是使用 MESSAGING 模式,二是使用 Direct IO 接口模式
010 011	网口启动 (以 DSP 核频率工作) 网口启动 (以加速包频率启动)	从模式	FPGA 通过以太网接口加载程序,这里需注意,以太网通信是以数据包的形式进行,数据包加速器由核心参考时钟或者 SerDes 参考时钟驱动
100	PCIe 启动	从模式	FPGA 通过 PCIe 接口加载程序到 DSP 高速存储器运行
101	I2C 启动	主模式	程序存放在外部 I2C 接口的 EEPROM 中,DSP 以 BOOT 表格式中数据块的形式加载。对于大工程来说,加载程序较大,这种方式不适用
		从模式	同上面模式一样,数据格式需要满足 DSP 的 BOOT 表的格式。对于大工程来说,这种方式仍然不适用
110	SPI 启动	主模式	DSP 通过 SPI 接口从 FLASH 读入用户程序,同样数据格式也必须满足 DSP 的 BOOT 表的格式
111	HyperLink 启动	从模式	FPGA 负责配置存储器,同时加载用户程序并且 BOOT DSP

2 硬件设计

EMIF16 Nor Flash 模式是不用上位机参与、相对简单、独立成系统,本系统采用此方式。EMIF16 接口接 FPGA,FPGA 外挂 Nor Flash。C6678 的加载

通过 FPGA 配合完成,C6678 的程序存放在可靠性更高的 Nor Flash 中,并外挂于 FPGA 上。对应的电路原理如图 1 所示。

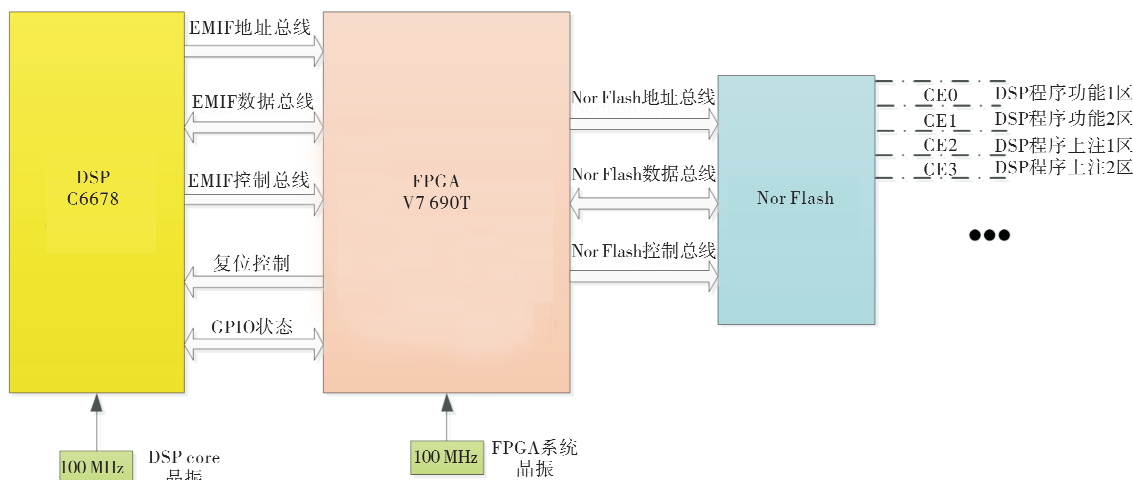


图 1 C6678 加载的硬件原理

Fig. 1 Hardware principle of C6678 loading

与常用的 DSP 加载设计不同,本论文创造性提出 DSP 的 EMIF 接口与 FPGA 相连,FPGA 与 Nor Flash 相连,通过软硬件结合的方式,提高 DSP 程序可靠性。系统上电后先完成 FPGA 的配置加载,待 FPGA 加载成功后启动 DSP 复位,并将 EMIF 接口与 Nor Flash 接口连通,让 DSP 通过 EMIF 接口从 Nor Flash 中自动读取 DSP 加载文件,实现 DSP 的自动加载。这样做的好处主要有两个,一是实现 DSP 程序在轨重构功能;二是在空闲时可以对存放在 Nor Flash 内部的 DSP 程序进行 RS 编译码,针对空间单粒子打翻的 Nor Flash 程序进行纠错检错,并将译码后的结果重新写入 Nor Flash 中,防止 DSP 程序 SEU 造成卫星功能失效。

Nor Flash 内部分为多个区,主要存放 DSP 程序和智能处理 DEM 参数,本文主要介绍 DSP 程序。存放 DSP 程序分为功能 1 区、功能 2 区、上注 1 区和上注 2 区。其中上电后系统自动加载功能 1 区,通过指令可以切换加载功能 2 区或上注 1 区、上注 2 区,上注 1 区和上注 2 区用于在轨重构,4 个区的程序均可以在轨更新。

FPGA 加载成功后状态机开始工作,步骤如下:

1) 先产生一个全局复位信号,对 V7 程序内所有需要复位的状态寄存器赋予初值;

2) 全局复位结束后,进入对 DSP 复位初始化状态,产生 DSP 所需的 POR、RESETFULL 复位信号,使 DSP 完成全局复位;

3) 初始化结束后,V7 程序进入配合 DSP 加载的状态,将 Nor Flash 接口的操作权交给 DSP 的 EMIF 接口,同时等待 DSP 加载成功的反馈信号(检测 GPIO9 和 GPIO10 信号);

4) DSP 加载成功后,进入配合 DSP 的 DEM 参数读取状态;

5) DEM 读取结束后,进入 IDLE 状态,从 DSP 的 EMIF 接口中收回 Nor Flash 操控权,等待来自下位机的 Nor Flash 操作指令,根据指令对其进行读、写、擦操作(RS 编译码、回写)。

FPGA 控制 DSP 加载状态机跳转时序如图 2 所示。

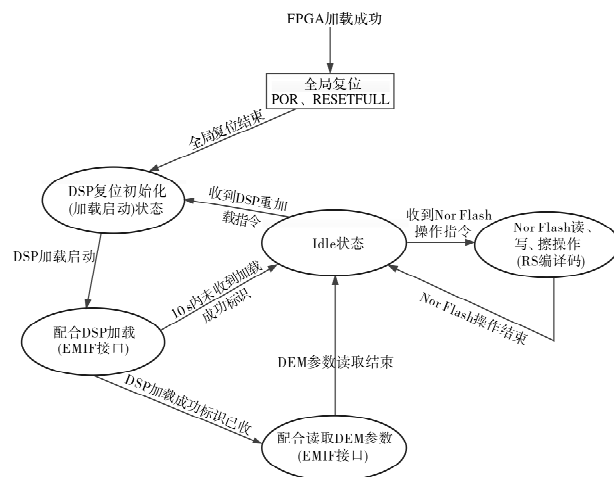


图 2 DSP 加载状态机

Fig. 2 DSP loading state machine

3 程序设计

C6678 为 JTAG 连接提供了专门的绿色通道, 不管采用何种 BOOT 方式, 当仿真器连上时会自动 Reset 并从仿真器下载初始化代码, 即 JTAG 优先级最高。调试 C6678 需要用到两个主要的配置文件, 一个仿真器配置文件 ccxml 和一个 gel 文件。其中 ccxml 是用来对仿真器和板参数进行定义, 当连上仿真器并 connect 后可以确定 JTAG 扫描成功。gel 文件包含基本的调试函数和 Bootloader 文件, 用于仿真开发的初始化文件。在器件 Reset 后需要对硬件地址进行确认并完成内存的初始化, 不同的电路板对应的 gel 文件不同, 根据需求对其进行参数修改。

程序读入前要根据不同的 BOOT 方式进行格式转换, 转换工具是将各核的 .out 文件转换成 .dat 文件, 主核 BOOT 之后再引导其他的从核。

C6678 启动软件包括核 0 (也称为主核) 和其他 7 核的启动。一般由主核启动成功后, 主核运行应用程序, 对其他核依次写入程序代码, 然后依次中断其他核, 让其启动。多核的启动流程如图 3 所示。

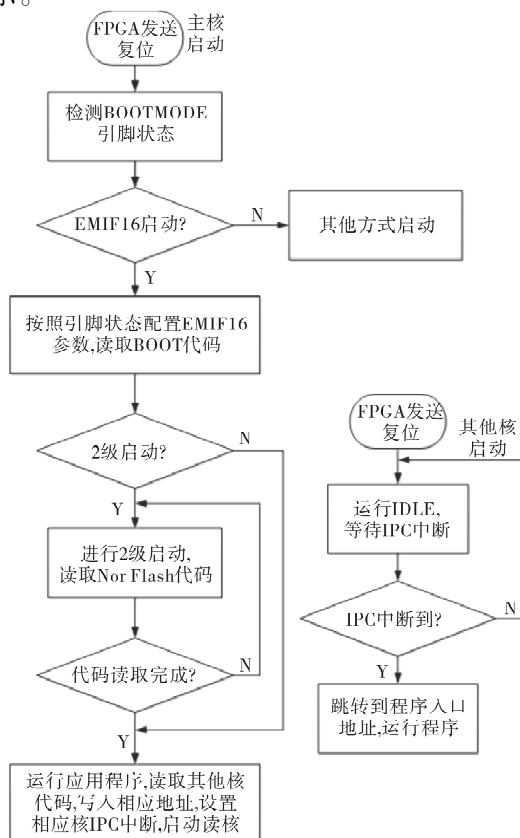


图3 软件处理流程

Fig. 3 Software processing flow

主核和其他核同时启动, 在启动过程中, 主核需完成向其他核写程序代码和中断其他核这两项工作, 其中, 主核向其他核写入程序代码涉及核间通信。C6678 的每个核都有单独的 RAM 空间, 这些 RAM 空间也可以被其他核读写。需要注意的是两个核或者多个核不能同时读写同一个地址空间, 会导致数据读写错误。为了避免这个问题, 其他核在上电后, 将一直处于 IDLE 状态, IDLE 状态下不会对外设和片内 RAM 资源进行操作。主核对其他所有核依次写入程序代码, 在主核对所有其他核完成代码写入后, 主核依次快速地给其他核发出 IPC 中断, 其他核就逐一被启动。主核给其他核按照先后顺序发 IPC 中断, 在这个很小的时间差内, 首先被启动的核不能读写另外核的 RAM 空间。因此其他核的程序代码有一个延迟程序, 该延迟程序执行后, 主核即可完成对其他核的启动工作。

4 验证结果

本文设计的 DSP 程序大小为 512 KB, 8 个核总共大小为 $512 \text{ KB} \times 8$ 。选取的 RS 编译码为 RS (144, 128), 上注的 DSP 程序经过 RS 编码后的数据量为 $512 \text{ KB} \times 8 \times 144 \div 128 = 4608 \text{ KB}$, 其中原始程序为 4096 KB, 校验码为 512 KB。每套 DSP 程序在 Nor Flash 中存放分布如图 4 所示。

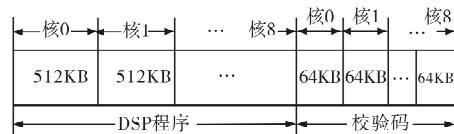


图4 DSP程序在 Nor Flash 存放分布

Fig. 4 Storage and distribution of DSP programs in Nor Flash

为了验证本文提出的多核 DSP 加载方式, 模拟卫星在轨 SEU 效果, 对写入 Nor Flash 的 DSP 程序改写不同位置的数据 (包括校验码), 模拟空间单粒子翻转, 上电自动启动失败。同时发送 FPGA 复位进行 DSP 重加载, 仍然启动失败。随后发送 FPGA 编译码指令, 对 Nor Flash 内部存放的 DSP 程序进行 RS 编译码后回写, 断电后重启, DSP 上电启动成功, 同时发送 FPGA 复位指令加载 DSP, DSP 重加载成功。如图 5 所示, GPIO_reg1[9] 和 GPIO_reg1[10] 分别表示核 1 和核 2 成功返回的遥测 (协议规定 DSP 启动成功后通过 GPIO 管脚向 FPGA 间隔发送 0、1 数据)。

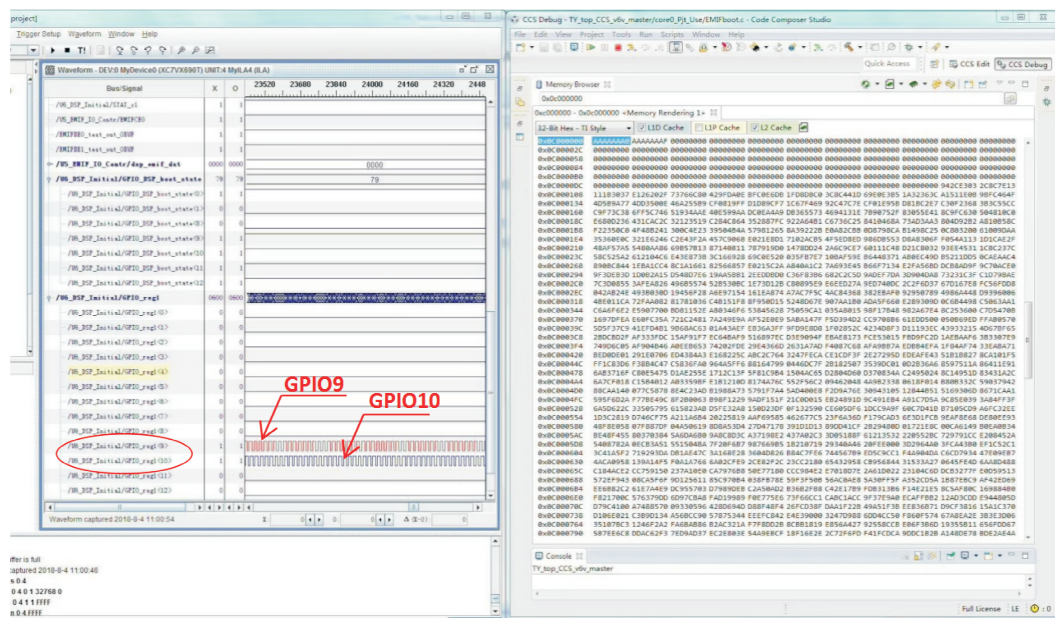


图 5 DSP 加载成功结果

Fig. 5 DSP load successful result

5 结论

本文提出的基于 TMS320C6678 多核 DSP 中 EMIF16 主模式加载方式,介绍了 C6678 的加载模式和流程;给出了 EMIF16 Nor Flash 加载硬件设计原理和具体的软件设计流程,以及具体的实现步骤。最后,在基于高性能的 FPGA + DSP 板卡上给出 C6678 的 EMIF16 自启动试验结果,验证了方案的可行性。本文将存放 DSP 程序的 Nor Flash 外挂到 FPGA 上,实现在轨可重构功能,同时利用空闲时间对 Nor Flash 中 DSP 程序进行 RS 编译码回写,实现多核 DSP 加载的高可靠性,具有重要的应用价值。

参考文献:

- [1] Texas Instruments Inc. Multicore fixed and floating-point digital signal processor[EB/OL]. [2018-08-20]. https://www.xilinx.com/content/dam/xilinx/support/documentation/user_guides/ug470_7Series_Config.pdf.
- [2] Texas Instruments Inc. KeyStone architecture power sleep controller(PSC) user's guide[EB/OL]. [2018-08-14]. https://www.xilinx.com/content/dam/xilinx/support/documentation/user_guides/ug476_7Series_Transceivers.pdf.
- [3] 邓豹. TMS320C6678 多核 DSP 的加载配置和实现方法[J]. 航空计算技术,2017,47(1):107-111.
- [4] 刘章文,刘七华,谢川林,等. 基于 TMS320C6678 的多核 DSP 上电加载技术[J]. 现代电子技术,2013,36(18):111-114.
- [5] 吴沁文. 多核 DSP 芯片 C6678 引导过程的研究与实现[J]. 现代雷达,2016,38(11):35-39.
- [6] 薛志远,王春雷. 基于 TMS320C6678 的多核 Bootloader 设计与实现[J]. 航空兵器,2017,24(4):80-83.
- [7] 陈亮,高策,朱杰斌,等. 基于 EMIF 接口的 TMS320C6678 多核程序自启动设计与实现[J]. 电子技术,2016,45(4):55-59.
- [8] 吴沁文. 多核 DSP 芯片 C6678 引导过程的研究与实现[J]. 现代雷达,2016,38(11):35-39.
- [9] 蔡湘平,冯艳清,汪安民. 多核 DSP 的 Nand Flash 启动软硬件设计[J]. 单片机与嵌入式系统应用,2013,13(3):46-48.
- [10] 张象羽,施慧莉. 基于以太网和 PCIe 的多核 DSP 开发平台[J]. 计算机工程与科学,2019,41(10):1731-1737.
- [11] Texas Instruments Inc. KeyStone architecture DSP Bootloader user guide[EB/OL]. [2013-07]. <https://www.ti.com/lit/pdf/SPRUGY5>.
- [12] Texas Instruments Inc. KeyStone architecture external memory interface (EMIF16) user guide[EB/OL]. [2011-05]. <https://www.ti.com/lit/pdf/SPRUGZ3>.